

B20

METHOD OF MANUFACTURING EPITAXIAL WAFER

Patent Number: JP7240372
Publication date: 1995-09-12
Inventor(s): HOSOKAWA YASUO; others: 02
Applicant(s): SHOWA DENKO KK
Requested Patent: JP7240372
Application Number: JP19940031578 19940301
Priority Number(s):
IPC Classification: H01L21/20 ; C30B25/18 ; C30B29/40 ; H01L21/304 ; H01L33/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To manufacture an LED comprising DH structured parts having excellent crystallizability resultantly in high brightness by a method wherein, after growing a buffer layer having the same lattice crystal as that of an active layer on a substrate, the buffer layer surface is polished and then the active layer is to be epitaxially grown again.
CONSTITUTION:Firstly, a GaP buffer layer 7 is crystal grown at 730 deg.C to be n type doped with Se as a dopant. Successively, a GaInP the first stage lower clad layer 6 in the same composition as that of the lower clad layer 5 of the DH structured parts is grown to be doped with Se as the dopant in the same degree as that of the GaP buffer layer 7. At this time, the crystal growing step in the first stage is stopped to pick up a wafer to be polished by ordinary polishing machine for a GaAs substrate and then the DH structured parts are crystal grown by MOVPE device. Through these procedures, an LED comprising DH structured parts having excellent crystallizability resultantly in high brightness can be manufactured.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-240372

(43) 公開日 平成7年(1995)9月12日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		8418-4M		
C 3 0 B 25/18				
	29/40	5 0 2 H 8216-4G		
H 0 1 L 21/304	3 2 1 Z			
33/00	B			

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号	特願平6-31578	(71) 出願人	000002004 昭和電工株式会社 東京都港区芝大門1丁目13番9号
(22) 出願日	平成6年(1994)3月1日	(72) 発明者	堀川 泰男 埼玉県秩父市大字下影森1505番地 昭和電 工株式会社秩父研究所内
		(72) 発明者	坂口 泰之 埼玉県秩父市大字下影森1505番地 昭和電 工株式会社秩父研究所内
		(72) 発明者	田中 利幸 埼玉県秩父市大字下影森1505番地 昭和電 工株式会社秩父研究所内
		(74) 代理人	弁理士 寺田 實

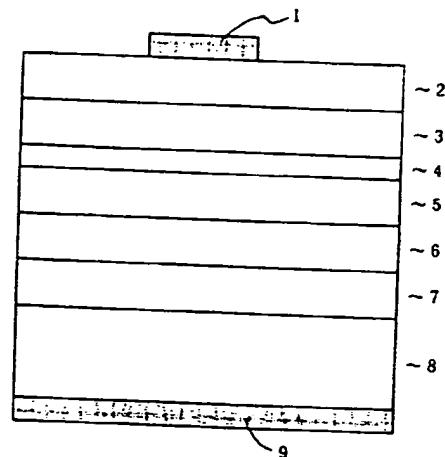
(54) 【発明の名称】 エピタキシャルウェーハの製造方法

(57) 【要約】

【目的】 GaP基板上に結晶性の良好なAlGaInP系DH構造を有するエピタキシャルウェーハと当該ウェーハを使用した高輝度のLEDを提供すること。

【構成】 GaP基板上に格子定数の異なるAlGaInPエピタキシャル層のバッファ層を成長した後、その当該表面をポリッシュし、再度結晶成長することで結晶性の良好なDH構造を作製する。

【効果】 バッファ層成長後にその当該表面をポリッシュすることで、再度結晶成長する場合の成長初期で格子ミスマッチの影響が低減された良好な結晶が得られる。当該エピタキシャルウェーハを用いて作製したLEDについては従来構造より高輝度のものが得られる。



【特許請求の範囲】

【請求項1】 III-V族化合物半導体基板上に基板と異なる格子定数を有する III-V族化合物半導体の能動層構造を有するエピタキシャルウェーハの製造方法において、基板上に能動層と同じ格子定数を有するバッファ層を成長させた後に、当該バッファ層表面をポリッシュし、その後再度能動層のエピタキシャル成長を行うことを特徴とするエピタキシャルウェーハの製造方法。

【請求項2】 III-V族化合物半導体基板上に基板と異なる格子定数を有する III-V族化合物半導体の能動層構造を有するエピタキシャルウェーハの製造方法において、基板上に基板の格子定数から能動層の格子定数まで格子定数が連続的に変化する組成勾配層を成長させた後に、能動層と同じ格子定数を有するバッファ層を成長させ、当該バッファ層表面をポリッシュし、その後再度能動層のエピタキシャル成長を行うことを特徴とするエピタキシャルウェーハの製造方法。

【請求項3】 半導体基板がGaPからなり、能動層構造部分がAlGaInPのクラッド層、及びAlGaInPまたはGaInPの活性層のダブルヘテロ構造からなることを特徴とする請求項1または2記載の半導体エピタキシャルウェーハの製造方法。

【請求項4】 半導体基板がGaAsからなり、能動層構造部分がAlGaInPのクラッド層と、基板と格子定数の異なるAlGaInPまたはGaInPの活性層とのダブルヘテロ構造からなることを特徴とする請求項1及び2記載の半導体エピタキシャルウェーハの製造方法。

【請求項5】 半導体基板がGaAsからなり、能動層構造部分がGaAsPのシングルヘテロ構造からなることを特徴とする請求項1及び2記載の半導体エピタキシャルウェーハの製造方法。

【請求項6】 請求項1～5記載のエピタキシャルウェーハを使用して作製した発光ダイオード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、エピタキシャル成長方法によるウェーハに係り、特に格子ミスマッチのあるヘテロ接合を有するエピタキシャルウェーハ、及び当該ウェーハを使用して作製した発光ダイオードに関するものである。

【0002】

【従来の技術】近年、半導体基板上に基板の格子定数と異なる格子定数を有する能動層をエピタキシャル成長させて各種デバイスを作製する技術が注目されている。こ

$$\text{格子ミスマッチ度} = (\text{エピタキシャル層の格子定数} - \text{基板の格子定数}) \times 100 \\ / (\text{基板の格子定数}) \dots (1)$$

【0006】ただし、組成勾配層や特別な成長条件のバッファ層を具備するだけでは格子定数の異なるDH構造部分の結晶性を向上することは現実には難しい。

*の格子不整合系の材料として、可視光領域の発光ダイオード(LED)やレーザーダイオード(LD)用の材料として利用される $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)がある。この材料系では特にGaAs基板上に当該材料を使用したDH構造を有するLED、LDとしての応用が盛んに行われている(特開平2-257677参照)。図3にGaAs基板を使用した場合のウェーハ構造を示す。この場合、GaAs基板と $(\text{Al}_x\text{Ga}_{1-x})_{0.51}\text{In}_{0.49}\text{P}$ エピタキシャル層との間に格子定数の差はなく(格子整合系)、良質なエピタキシャルウェーハが得られている。一方、GaAs基板を使用することで、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ のDH構造部分で発光した光のうち、基板側に放出されるものはGaAs基板で吸収されてしまうために、表面側に取り出すことができず発光効率が上がらないという欠点がある。そこで、基板による光の吸収を低減し発光効率を高める目的で、発光した可視光に対して透明なGaPを基板として使用した研究も行われるようになった。しかし、基板としてGaPを使用した場合には、GaP基板と $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ との間に格子定数の差(格子ミスマッチ)があるために、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ エピタキシャル層の結晶性が劣化することが問題となっていた。

【0003】また、別の例として、GaAs基板を使用し、構成整合させないで $y \neq 0.51$ である $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ 系の材料を用いて短波長の可視光LEDを作製するものや、GaAs基板上に $0 < y < 1$ である $\text{GaAs}_y\text{P}_{1-y}$ 系材料を能動層として作製する可視光LED等がある。

【0004】ここで、この格子定数の差については、LEDを作製した時の発光波長が590nm前後の黄色～橙色の発光になるような組成の $\text{Ga}_{0.65}\text{In}_{0.35}\text{P}$ 活性層をエピタキシャル成長させる場合に、その格子ミスマッチ度が約2.7%となる。従来、この格子ミスマッチによる結晶性の劣化を緩和するために、GaP基板の格子定数から所定の組成の $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ の格子定数まで連続的に格子定数を変化させるエピタキシャル層(格子定数変化層あるいは組成勾配層と称す)を挿入すること(特開平3-203316参照)や、格子定数の異なる層を成長する前に特別なバッファ層を挿入すること(Appl. Phys. Lett. 53(5), 1988参照)が行われてきた。

【0005】ここで、格子ミスマッチ度とは、下記(1)式で定義される。

【0007】

【発明が解決しようとする課題】発光した可視光に対して透明なGaP基板を使用する場合や、GaAs基板を

利用して格子定数の異なる発光層を用いる場合に、従来行われてきたような組成勾配層を挿入したり、特別な成長条件のバッファ層を挿入するだけでは、格子定数が基板と異なり、表面状態が良好で、且つ結晶性の良好なDH構造部分を成長することは難しい。格子ミスマッチがある場合は、周辺部と組成が異なり成長速度も早くなるため、ヒロックと呼ばれる盛り上がった突起物が島状に分布する結晶表面となる。また、そのようなエピタキシャルウェーハを用いた場合には、高輝度のLEDがまだ得られていない。

【0008】

【課題を解決するための手段】そこで、組成勾配層あるいはバッファ層を成長した後にその当該表面をポリッシュして平坦にすることにより、格子ミスマッチが原因で発生した転位や欠陥、表面の凹凸がその後の結晶成長層に影響しないようにして、結晶性の良好なDH構造部分については高輝度のLEDを作製することが本発明の目的である。

【0009】GaP基板上には、先ず基板の結晶欠陥の影響を低減するため、GaPのバッファ層をエピタキシャル成長させる。結晶成長方法は通常MOVPE法に依るのが一般的である。その上には、本発明で目的としている590～610nmで発光するような組成に調整した活性層 $(Al_xGa_{1-x})_{1-y}In_{1-y}P$ ($0.18 \leq X \leq 0.30$, $Y=0.51$)に適合したクラッド層組成と同組成のバッファ層 $(Al_xGa_{1-x})_{1-y}In_{1-y}P$ ($X \geq 0.70$, $Y=0.51$)を成長する。この層の格子定数はGaP基板の格子定数と異なり、約2.7%の格子ミスマッチが存在する。また、このような格子定数の異なるバッファ層を成長する前に組成勾配層を挿入し、格子定数を徐々に変化させて約2.7%の格子ミスマッチのある層を最終的に成長しても良い。この格子ミスマッチの影響を緩和するため、当該バッファ層表面をポリッシュする。ポリッシュする厚さはバッファ層の $1/2 \sim 2/3$ を目安とすれば良い。結晶表面のポリッシュは通常の基板表面をポリッシュするのと同じポリッシングマシンで行う。例えばバッファ層は3 μm 程度成長させておき、ポリッシュにより約2 μm 削って残り膜厚を1 μm 程度とする。ポリッシュした後再度MOVPE装置に導入して、能動層構造部分の結晶成長を行う。

【0010】再度結晶成長を行う場合に、先ずポリッシュ前に成長したバッファ層と同組成の $(Al_xGa_{1-x})_{1-y}In_{1-y}P$ をDH構造部分の下部クラッド層として2.0 μm 程度成長させる。バッファ層と下部クラッド層までは、 H_2Se をドーパントとしてn型にドーピングし、そのキャリア濃度は $1 \times 10^{18} cm^{-3}$ 程度とする。その後活性層を成長させる。膜厚は1.0 μm 程度とし、組成は590～610nmの間で目的とする発光波長になるよう設定する。この層はDEZnをドーパ

ントとしてp型にドーピングする。キャリア濃度は $5 \times 10^{17} cm^{-3}$ 程度である。次に上部クラッド層を成長させる。組成は下部クラッド層と同じであるが、DEZnをドーパントとしてp型にドーピングする。キャリア濃度は $5 \times 10^{17} cm^{-3}$ 程度である。膜厚は下部クラッド層と同じ2 μm 程度である。こうして得られたDH構造部分の上にコンタクト層として活性層と同組成のGaInPを成長させる。この層も上部クラッド層と同程度にp型にドーピングし、膜厚は0.5 μm 程度である。

10 【0011】このようにして作製したエピタキシャルウェーハを使用してLEDを作製する場合、発光部分であるDH構造部分の結晶性が格子ミスマッチの影響があるにもかかわらず如何に良好であるかが重要となる。従って、本発明のようにバッファ層成長後にその表面を一旦ポリッシュすると、格子ミスマッチの影響で島状成長した表面の凹凸部分が平坦になり、また発生した結晶欠陥をその後の層に伝播し難くするため、結晶性の良好なDH構造部分のエピタキシャル成長が可能となる。その結果従来得られていた格子不整合系のLEDよりも高輝度が得られる。

【0012】

【作用】本発明は可視光に対して透明なGaP基板上に、格子ミスマッチのある $(Al_xGa_{1-x})_{1-y}In_{1-y}P$ のバッファ層あるいは組成勾配層を成長した後に、当該表面をポリッシュし、表面を平坦にした後再度エピタキシャル成長することにより格子ミスマッチの影響を排除し、結晶性の良好な能動層構造を得るものである。また、このようなエピタキシャルウェーハを使用すれば、従来より高輝度のLEDを得ることができる。また、本発明は基板としてGaAsを使用した場合に、GaAsP系のエピタキシャル成長をする場合、AlGaInP系DH構造をエピタキシャル成長する場合にも同様の効果が得られる。

【0013】

【実施例】次に本発明の実施例を組成勾配層の有無の二つの場合についてそれぞれ詳細に説明する。今回はGaP基板上にGaInPを活性層とするDH構造のエピタキシャルウェーハを作製した。使用したGaP基板は、Sをドーブしたn型基板である。本実施例では、MOVPE法により減圧下にて結晶成長を行った。使用した原料ガスはTMA、TMG、TMI、 PH_3 (100%ガス)であり、キャリアガスとして超高純度の H_2 ガスを使用した。

【0014】(実施例1) 先ず、組成勾配層のない場合についての実施例を示す。ウェーハの断面構造を図1に示す。結晶成長は先ず730℃にてGaPバッファ層7を0.5 μm 成長させた。この時Seをドーパントとして使用しn型のドーピングを行った。続いてDH構造部分の下部クラッド層5と同組成である $(Al_{0.2}Ga_{0.8})_{0.65}In_{0.35}P$ 第一段下部クラッド層6を約3 μ

m成長させた。この層もSeをドーパントとしてGaPバッファ層7と同じく $1 \times 10^{18} \text{ cm}^{-3}$ 程度にドーピングした。この組成での格子定数はGaPの格子定数より大きく、その格子ミスマッチ度は約2.7%である。従って、この層を3 μm 成長した後の表面状態は悪く、ヒロックと呼ばれる周辺部と組成が異なり且つ島状成長により周辺より成長速度が速いために盛り上がった突起物が多く存在した。このヒロックの大きさは、3 μm のエピタキシャル成長後で約 $20 \times 30 \mu\text{m}$ であり高さは約6 μm であった。また、ウェーハ面内での密度は約 $1000 \sim 3000 \text{ cm}^{-2}$ であった。

【0015】ここで第一段目の結晶成長を停止し、ウェーハを取り出した。取り出したウェーハをGaAs基板をポリッシュする通常のポリッシングマシンでポリッシュした。ポリッシュは平滑なガラスまたはセラミックス定盤に固定し、外径約0.5 μm の SiO_2 超微粒子と次亜塩素酸ナトリウムを主成分とするポリッシュ液を用いて化学機械的に研磨した。この時、加工ダメージを小さくするために、加重は 50 g/cm^2 程度に抑えた。研磨速度は装置状態により異なるが、装置により適当な値を設定することで、研磨後の表面の凹凸をピーク値で最大0.002 μm に抑えることができる。今回は研磨速度0.05 $\mu\text{m/min}$ で、研磨後の表面粗度は0.5 μm 以下であった。研磨量としては、 $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.65}\text{In}_{0.35}\text{P}$ 成長層約3 μm の内約2 μm をポリッシュして1 μm 残した。このウェーハの表面には所々にヒロックの跡が見られたが、平坦であった。

【0016】再びMOVPE装置にてDH構造部分の結晶成長を行った。ポリッシュ前に成長させた $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.65}\text{In}_{0.35}\text{P}$ を下部クラッド層5として再び1 μm 成長させた。続いて、 $\text{Ga}_{0.65}\text{In}_{0.35}\text{P}$ の組成を有する活性層4を1 μm 成長させた。GaP基板8と上記活性層4の間の格子ミスマッチ度は、GaP、 $\text{Ga}_{0.65}\text{In}_{0.35}\text{P}$ の格子定数が各々5.450オングストローム、5.597オングストロームであることより、式(1)から2.7%となる。活性層はDEZnをドーパントとしてp型にドーピングし、そのキャリア濃度は $5 \times 10^{17} \text{ cm}^{-3}$ とした。活性層の上部には下部クラッド層と同一の組成を有する $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.65}\text{In}_{0.35}\text{P}$ を上部クラッド層3として2 μm 成長させた。上部クラッド層3も活性層4と同様DEZnをドーパントとしてp型にドーピングした。キャリア濃度も同様に $5 \times 10^{17} \text{ cm}^{-3}$ とした。また、電極をとりやすくするために、活性層4と同組成のp型 $\text{Ga}_{0.65}\text{In}_{0.35}\text{P}$ 層をコンタクト層2として最後に成長させた。比較のため同条件で $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.65}\text{In}_{0.35}\text{P}$ の下部クラッド層5を最初から2 μm 成長し、ウェーハ表面のポリッシュをしないで続いて活性層4を成長した同一構造のエピタキシャルウェーハを作製し、LEDを作製してその発光特性を比較した。

【0017】作製したLEDは、 $350 \times 350 \mu\text{m}$ の大きさであり、その特性評価は積分球を使用した輝度測定により行った。発光波長について視感度補正を行った後のそれぞれの基板を使用したLEDの輝度は、従来のウェーハ表面のポリッシュをしない場合で2500ミリカンデラであったのに対して、ウェーハ表面のポリッシュを行った場合では3500ミリカンデラと高輝度であった。尚、測定時の印加電流は20ミリアンペアである。

【0018】(実施例2)次に、組成勾配層を挿入した場合の実施例について示す。ウェーハは図2に示す構造とした。実施例1で示したのと同様に、まず730℃にてGaPバッファ層7を0.5 μm 成長させた。続いてAl、In原料を添加し、その供給量を連続的に変化させて、組成がGaPから $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.65}\text{In}_{0.35}\text{P}$ まで変化する組成勾配層16を2 μm 成長させた。組成勾配層16での原料供給量の変化は、TMGaで25→14SCCM、TMInで3→97SCCM、TMAIは一定とした。

【0019】組成勾配層16を成長後、連続して $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.65}\text{In}_{0.35}\text{P}$ の組成を有する下部クラッド層5と同一組成層のn-AlGaInP第一段下部クラッド層6を3 μm 成長させた。この時点で第一段目の結晶成長を停止し、ウェーハを取り出した。表面状態は実施例1に比べて良好であった。これは組成勾配層16により格子ミスマッチの影響を僅かながら緩和できたためと思われる。この場合のヒロックの大きさは、約 $10 \times 20 \mu\text{m}$ であり、高さは約5 μm であった。また、ウェーハ面内での密度も約 $400 \sim 500 \text{ cm}^{-2}$ であり、組成勾配層の無い実施例1より少なかった。取り出したウェーハを実施例1と同様、第一段下部クラッド層6の残り膜厚が1 μm となるようにポリッシュし、第二段目の結晶成長を行った。平坦度については、実施例1と同様0.5 μm 以下であった。

【0020】DH構造部分の再成長は実施例1と全く同様の手順で行った。こちらの場合も同条件で作製し、ポリッシュ工程の無いエピタキシャルウェーハとLEDの輝度で比較した。組成勾配層16を挿入したがポリッシュしなかったものについては、2800ミリカンデラであったのに対して、ポリッシュを行い、二段階成長したものでは3700ミリカンデラと高輝度であった。これらの結果は、組成勾配層16を成長後その表面をポリッシュすることにより、格子ミスマッチの影響で発生したヒロックや結晶欠陥の影響をその後の結晶成長に伝播させないことができたためと思われる。

【0021】

【発明の効果】GaP基板と格子ミスマッチの存在するバッファ層を成長後、一旦その表面をポリッシュした後に再度DH構造部分の結晶成長を行うことにより、結晶性の良好なDH構造部分が得られ、そのようなエピタキ

シャルウェーハを使用してLEDを作製した場合には従来にない高輝度のLEDを得ることができる。

【図面の簡単な説明】

【図1】本発明によるエピタキシャルウェーハの構造の一例を示す図である。

【図2】本発明による組成勾配層を含むエピタキシャルウェーハの構造の一例を示す図である。

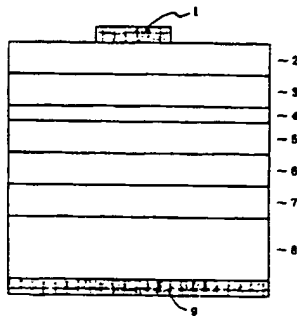
【図3】従来のGaAs基板を使用したエピタキシャルウェーハの構造を示す図である。

【符号の説明】

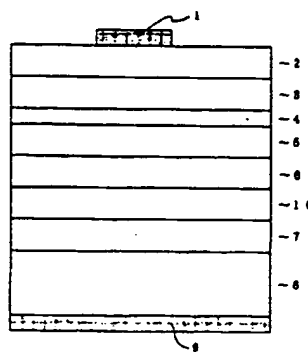
- 1 電極
2 p-GaInP コンタクト層

- 3 p-AlGaInP 上部クラッド層
4 p-GaInP 活性層
5 n-AlGaInP 下部クラッド層
6 n-AlGaInP 第一段下部クラッド層
7 n-GaP バッファ層
8 Sドーブ n-GaP基板
9 電極
12 p-GaAs コンタクト層
16 n-AlGaInP 組成勾配層
10 17 n-GaAs バッファ層
18 Siドーブ n-GaAs基板

【図1】



【図2】



【図3】

